

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-170519

(43)Date of publication of application : 18.06.1992

(51)Int.Cl.

G02F 1/1343  
G02F 1/136  
H01L 21/3205  
H01L 49/02

(21)Application number : 02-297964

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

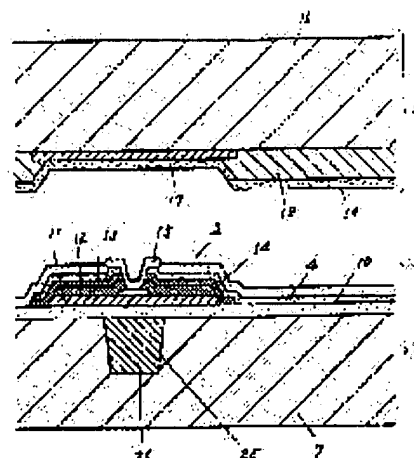
(22)Date of filing : 01.11.1990

(72)Inventor : MUKAI YUJI  
KODERA KOICHI(54) WIRING FOR PLANE DISPLAY AND FORMING METHOD THEREOF AND  
NONLINEAR RESISTANCE ELEMENT FOR LIQUID CRYSTAL DISPLAY

(57)Abstract:

PURPOSE: To obtain a large scope display and a high definition display without a trouble such as bluntness and delay of a transmission signal by embedding wiring in a substrate or interposing the wiring in an insulative transparent material arranged on a surface of the substrate.

CONSTITUTION: A glass substrate 7 as a transparent substrate is provided with a groove 25 of a wiring pattern shape, and aluminum being a wiring material is embedded in this groove 25 to form gate wiring 26. In this case, since thickness of the glass substrate 7 is about 1mm, depth of the groove 25, namely, thickness of the gate wiring 26 can be set several  $\mu\text{m}$  or more so that a resistance value of the gate wiring 26 can be remarkably decreased. With this constitution, bluntness of a signal waveform and delay of a signal due to wiring resistance of a large size display can be eliminated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**Title: Electrical lines for plane displaying, the fabricating method of the same, and nonlinear resistors for liquid crystal display devices**

Laid Open No.: 04-170519

Laid Open Date: June 18, 1992

[Object] It is an object of the present invention to provide wide and highly-qualified display adopting low resistive lines.

[Claim] Electric lines for a plane display, the lines being formed in trenches formed on a transparent substrate.

## ⑫ 公開特許公報(A)

平4-170519

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月18日

G 02 F 1/1343

5 1 0

9018-2K

1/136

9018-2K

H 01 L 21/3205

49/02

7013-4M

H 01 L 21/88

K

7353-4M

審査請求 未請求 請求項の数 7 (全9頁)

⑭ 発明の名称 平面ディスプレイ用配線およびその形成方法と液晶ディスプレイ用  
非線形抵抗素子

⑰ 特 願 平2-297964

⑱ 出 願 平2(1990)11月1日

⑲ 発 明 者 向 井 裕 二 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 小 寺 宏 一 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑲ 代 理 人 弁理士 小 鍛 治 明 外2名

## 明 細 書

## 1. 発明の名称

平面ディスプレイ用配線およびその形成方法と  
液晶ディスプレイ用非線形抵抗素子

## 2. 特許請求の範囲

(1) 透明基板の表面に溝を有し、前記溝に配線したことを特徴とする平面ディスプレイ用配線。

(2) 透明基板と、前記透明基板表面に形成した配線パターンと、前記透明基板上に前記配線パターンに接するようにかつほぼ同じ高さに形成した絶縁性を有する透明材料を設けたことを特徴とする平面ディスプレイ用配線。

(3)(a) 透明基板の表面にスタンプすることにより溝を形成する工程と、

(b) 前記溝を形成した透明基板の表面に配線材料を成膜あるいは塗布する工程と、

(c) 前記配線材料の表面を研磨することにより前記溝表面以外の透明基板表面を露出する工程からなる平面ディスプレイ用配線の形成方法。

(4)(a) 平面ディスプレイ用透明基板の表面に配線

パターンのネガパターンのレジスト膜を形成する工程と、

(b) 前記レジスト膜をマスクとして前記透明基板をエッチングすることにより溝を形成する工程と、

(c) 前記溝の表面及び前記レジスト膜の表面に配線材料を成膜あるいは塗布する工程と、

(d) 前記レジスト膜を除去する工程からなる平面ディスプレイ用配線の形成方法。

(5)(a) 平面ディスプレイ用透明基板の表面に配線パターンのネガパターンのレジスト膜を形成する工程と、

(b) 前記レジスト膜をマスクとして前記透明基板をエッチングすることにより溝を形成する工程と、

(c) 前記レジスト膜を前記透明基板から除去する工程と、

(d) 前記溝を形成した透明基板の表面に配線材料を成膜あるいは塗布する工程と、

(e) 前記配線材料の表面を研磨することにより

前記溝表面以外の透明基板表面を露出する工程からなる平面ディスプレイ用配線の形成方法。

(6)(a)平面ディスプレイ用透明基板の表面に配線材料を成膜あるいは塗布する工程と。

(b)前記配線材料を配線パターン状に形成する工程と。

(c)前記配線材料及び前記透明基板表面に絶縁性を有する透明材料を成膜あるいは塗布する工程と。

(d)前記透明基板表面及び配線材料表面に絶縁性を有する透明材料を成膜あるいは塗布する工程と。

(e)前記透明材料を研磨することにより前記配線材料を露出する工程からなる平面ディスプレイ用配線の形成方法。

(7)信号を伝達する第1の配線を透明基板表面の溝に形成し、前記配線の表面に絶縁膜層を介して画素電極と接続する第2の配線を有し、少なくとも一つの端子が前記第2の配線に接続されたことを特徴とする液晶ディスプレイ用非線形抵抗素子。

断面を示し、5はTFT素子3が配置されたアレー基板、6はTFT素子3に対して対向電極となるカラーフィルター基板で、これらの基板間に液晶材料が充填されている。

アレー基板5において、7は透明基板であるガラス基板で、TFT素子3は走査線であるゲート配線8、第1のゲート絶縁膜9、第2のゲート絶縁膜10、アモルファスシリコン膜11、n型アモルファスシリコン膜12、信号配線に接続されたソース配線13、ドレイン配線14、保護膜15等からなっている。

このように従来のTFT素子3は、薄膜をガラス基板7の表面上に積層して構成している。

なお、カラーフィルター基板6は、ガラス基板16、ブラックマトリクス用薄膜17、カラーフィルター膜18、透明電極からなる対向電極19等から構成されている。

一方、近年は液晶ディスプレイの大画面化に向けた開発が進んでいるが、その際にゲート配線8の電気抵抗の低減が大きな課題となっている。そ

### 3. 発明の詳細な説明

#### 産業上の利用分野

本発明は液晶ディスプレイ等の平面ディスプレイ用の配線、およびその配線の形成方法に関するものである。

#### 従来の技術

従来の技術を説明する前に、液晶ディスプレイを例にとり、液晶ディスプレイ用のTFT素子を配置したアレー基板の回路について説明する。

第8図はこのアレー基板の回路図の一部を示したものであり、1は走査線の配線、2は輝度信号等の信号配線で、各々の配線の交点にTFT素子3とこのTFT素子3を介して透明電極からなる画素電極4がマトリクス状に配置されている。このように、配線1、2には一本の配線に数百個以上のTFT素子が接続されている。

TFT素子を用いた従来の技術の液晶ディスプレイは、例えば第9図に示す構造のものが用いられている。

同図はTFT素子部を含む液晶ディスプレイの

理由は画面が大きくなると第8図のゲート配線1が長くなるために、ゲート配線の信号入力端から遠い位置にあるTFT素子までの電気抵抗が大きくなり、伝達すべき信号波形が鈍ってしまったり、伝達される信号に遅れが生じてしまうためである。

その例を第10図を用いて説明する。

同図(a)は配線抵抗が大きな場合の信号の鈍りを表したもので(例えば、ジャパンディスプレイ1989年、502頁、および、SID88ダイジェスト、330頁)、入力端から印加した矩形信号(I)が高抵抗の配線を伝達すると(ロ)、(ハ)のように鈍ってしまう。ここで、(ハ)の配線抵抗は(ロ)よりも大きな場合であるが、(ハ)のように出力電圧の鈍りが大きくなってオン電圧(ニ)に達しないとTFT素子が動作しなくなってしまう。

第10図(b)は配線抵抗に対する信号の遅れを表したもので(例えば、ジャパンディスプレイ1989年、498頁)、信号の遅れは配線抵抗に依存し、しかもディスプレイの画面サイズが大きいほどそ

の傾向が著しい。この信号の遅れが1走査線あたりの選択時間よりも長くなってしまうと、TFT素子に信号が伝達されず、TFT素子が動作しなくなってしまう。

これらの理由から、配線の低抵抗化は大画面ディスプレイにとって重大な課題になっている。

そこで、この課題を解決するために、従来技術では低抵抗の配線材料の探索(例えば、ジャパニディスプレイ 1989年 498頁)や、タングステンとタンタルの合金、またはモリブデンとタンタルの合金といった新規な低抵抗の配線材料の開発(例えば、ジャパニディスプレイ 1989年 502頁、およびSID88ダイジェスト、330頁)が行われている。

なお、配線の低抵抗化はTFT素子を用いたディスプレイだけの課題ではなく、第11図に示したMIM型をはじめとするダイオード素子を用いた液晶ディスプレイや、単純マトリクス方式の液晶ディスプレイ、および液晶ディスプレイに限らずガラス基板上に信号を伝達する配線を有する平面ディスプレイに共通の課題である。

しかしながら、上記従来のような合金系の新規な配線材料を用いても、抵抗値の減少は数分の1程度であり、信号の鈍り等の課題が完全に解決できるものではない。そのため、画面サイズがより大きくなると上記材料でも信号の鈍りや遅れといった問題が再び生じてしまう。

また、第11図のMIM素子を用いて、大画面の液晶ディスプレイを作製する場合には、成膜上の問題から配線20の膜厚の不均一の発生はやむをえず、膜厚の薄い部分は厚い部分に比べてオーバーエッチングされてしまうため、画面内の全ての配線20を均一なテーパー角でエッチングすることは困難である。素子によってテーパー角度が異なると、スイッチングをおこなう絶縁膜24の表面積が異なり、流れる電流量が素子ごとに異なるので画像にむらが生じてしまう。

このように、素子のテーパーの角度がばらつく上、この角度が急な部分では配線23のカバレッジが悪くなってしまうため画質が低下し、MIM素子を用いて大画面の液晶ディスプレイを作製するこ

第11図において、第9図の例と同一の構成要素には同一の番号を付している。このMIM素子においては20が信号を伝達するタンタルからなる配線であり、この配線の低抵抗化が問題になる。なお、21と22は絶縁膜、23は配線、24はトンネル電流を流すための絶縁膜であり、この絶縁膜24はタンタル配線20の表面を酸化することにより形成している。

この素子では絶縁膜24を流れるトンネル電流を制御することによりオン、オフのスイッチング作用を行っている。そのため、絶縁膜24と配線23の接続が重要であり、画面のむらや画質の低下等の不良を発生させないために画面上の全ての素子にわたってこの接続が良好でしかも均一でなければならない。そこで第11図の構成では配線20の側面をテーパー状にエッチングしてその側面に絶縁膜24を形成し、このテーパー状の側面に配線23を配置することによって接続を良好にしようとしている。

発明が解決しようとする課題

とは困難であった。

また、ディスプレイは大画面化とともに高精細度化が望まれており、そのためには配線を従来以上に細くしなければならない。しかし配線の微細化は抵抗値の増大に直結するため、配線の抵抗は高精細度化に対しても大きな障害となっている。

なお、配線の抵抗値を減少する手段として配線の膜厚を厚くする方法がある。しかし、例えば第9図の従来例においてゲート配線8を従来以上に厚くすると、ゲート絶縁膜10等のカバレッジが悪くなり、TFT素子の不良が増えてしまうため、第9図の構成で配線の膜厚を厚くするにも限界がある。

本発明は、これらの問題を鑑み、抵抗値の極めて小さい配線を用いた大画面ディスプレイおよび高精細度ディスプレイを提供することを目的とする。

課題を解決するための手段

上記課題を解決するため第1の発明では、透明基板に溝を形成し、この溝に配線を形成する。

また、第 2 の発明では透明基板表面に配線パターンを形成し、この配線パターンに接するように配線パターンとはほぼ同じ高さの絶縁性を有する透明材料を形成する。

#### 作 用

上記の第 1 及び第 2 の発明では、配線を透明基板表面の溝等に設けることにより、配線の大部分が基板中に埋め込まれる。あるいは基板表面に設けた絶縁性を有する透明材料の間に埋め込まれるため、配線の厚さが厚くても透明基板表面から出ている配線材料をわずかにすることができる。

#### 実施例

以下、本発明の実施例を図面を参照しながら説明する。

##### (実施例 1)

第 1 図は本発明の配線を用いた液晶ディスプレイの断面であり、非線形抵抗素子の一例である TFT 素子部を含むものを示す。なお、同図は第 9 図で示した従来例と対応しており、第 9 図と同一の構成要素には同一の番号を付けて説明を省略す

している。

この実施例も実施例 1 と同様にガラス基板 7 に配線パターン形状の溝 27 を形成し、配線材料であるタンタルをこの溝 27 内に埋め込むことによって、配線 28 を形成している。

本実施例において、トンネル電流を流す絶縁膜 24 はタンタル配線 28 を表面酸化することによって形成している。

先述したように、第 11 図の従来例では配線 20 のテーパの角度や配線 23 のカバレッジの程度によってむらや画質の低下を生じてしまう。それに比べ、本実施例の構成では従来例のようなテーパ部を有しておらず、配線 23 も平坦な部分のみであるためカバレッジの問題もない。そのため、本実施例の構成を用いることにより、大画面であっても画質の均一性が良い液晶ディスプレイを得ることができる。

なお上記 2 つの実施例において、配線材料はタンタルやアルミニウムに限らず、クロム等の通常利用される材料や 2 種以上の成分からなる合金

る。

透明基板であるガラス基板 7 において、25 が配線パターン形状の溝であり、配線材料のアルミニウムをこの溝 25 内に埋め込むことによって、ゲート配線 26 を形成している。

第 9 図の従来例では、ゲート配線 8 の厚さは通常数百 nm 程度であるが、ガラス基板 7 の厚さは 1 mm 程度であるため、第 1 図の溝 25 の深さ、すなわちゲート配線 26 の厚さは数  $\mu$ m 程度、もしくはそれ以上とすることができ、ゲート配線 26 の抵抗値を大幅に低下させることができる。そのため、大型ディスプレイの配線抵抗に起因する信号波形の鈍りや信号の遅れといった課題を解決できる。

##### (実施例 2)

第 2 図は本発明の配線を用いた液晶ディスプレイの断面を示し、非線形抵抗素子の一つである MIM 素子部を含むものである。同図は、第 11 図の従来例と対応しており、ここでも第 11 図と同一の構成要素には同一の番号を付けて説明を省略

あるいは異なる材料や合金等を積層した多層膜であってもよい。

また、上記実施例では、本発明を非線形抵抗素子の配線に用いたがこれに限るわけではなく、例えば強誘電性液晶材料を用いた単純マトリックス方式の配線に用いることもできる。

##### (実施例 3)

次に本発明の配線の形成方法の実施例を、第 3 図を参照しながら説明する。

同図(a)~(d)は配線の形成方法を工程順に示したものであり、29 はガラス基板、30 はレジスト膜、31 は配線材料、32 は配線を形成するための溝である。

本実施例の工程を同図に対応して説明すると、(a) まずガラス基板 29 にフォトリソグのスピニングおよびマスクを用いた露光プロセスにより、形成すべき配線パターンのネガパターンのレジスト膜 30 を形成する。

(b) 次に緩衝弗酸水溶液を用いてガラス基板 29 をエッチングし、溝 32 を形成する。

(c) アルミニウム等の配線材料を、溝 3 2 の深さとほぼ同程度の膜厚までスパッタリング法により成膜する。

(d) 最後にレジスト膜 3 0 を剝離液により除去する。この時レジスト膜 3 0 上に成膜された配線材料はレジスト膜と一緒に剝がれ、除去される。

以上の工程によって、ガラス基板 2 9 の中に配線 3 1 を埋め込むことができる。

なお、成膜する配線材料 3 1 の膜厚は溝 3 2 の深さとほぼ同程度が望ましいが、第 4 図に示したように、膜厚が溝 3 2 の深さより厚くても(a)、また逆に薄くても(b)かまわない。

(実施例 4)

次に本発明の配線の形成方法の第 2 の実施例を、第 5 図を参照しながら説明する。

同図(a)~(d)は工程順に示したものであり、第 3 図と同じ構成要素に同じ番号を付している。

(a) 先ず第 3 図の実施例と同様に、ガラス基板 2 9 にフォトレジストのスピンコーティングおよびマスクを用いた露光プロセスにより、形成すべ

膜する。

(c) 成膜した膜 3 1 をプラスチック基板 2 9 a の表面が露出するまで研磨する。

このような工程によっても、本発明の配線を形成することができる。

ここで、上記の工程(a)における溝の形成方法を 2 つ、第 6 図 B、C を用いて述べる。

まず、同図 B においてスタンパーを用いた場合を記載する。

(a) 加熱等により軟化したプラスチック基板 2 9 a に溝を形成するため金属性の凸型のスタンパー 3 3 を用いる。

(b) 基板 2 9 a にスタンパー 3 3 を押しつける。

(c) 基板 2 9 a が硬化した後、スタンパー 3 3 を剝す。

このようにして基板 2 9 a 上に溝 3 2 が形成される。

次に、同図 C においては金型を用いた注入法による溝形成方法を記載する。

(a) 平板と凸板からなる金型 3 4 を用意する。

き配線パターンのネガパターンのレジスト膜 3 0 を形成する。

(b) 次に緩衝弗酸水溶液を用いてガラス基板 2 9 をエッチングし、溝 3 2 を形成する。

(c) レジスト膜 3 0 を剝離液により除去する。

(d) アルミニウム等の配線材料 3 1 を、溝 3 2 の深さとほぼ同程度の膜厚までスパッタリング法により成膜する。

(e) 成膜した膜 3 1 をガラス基板 2 9 の表面が露出するまで研磨する。

以上の工程によって、ガラス基板 2 9 の表面から内側に配線 3 1 を埋め込むことができる。

(実施例 5)

次に本発明の配線の形成方法の第 3 の実施例を、第 6 図 A を参照しながら説明する。

同図(a)~(c)は工程順に示したものであり、第 3 図と同じ構成要素に同じ番号を付している。

(a) 先ず、プラスチック基板 2 9 a にスタンプすること等により、溝 3 2 を形成する。

(b) 次に基板 2 9 a の表面に配線材料 3 1 を成

(b) 金型 3 4 の空間 3 5 に軟化した基板 2 9 a の材料を注入し、空間 3 5 を充填する。

(c) 基板 2 9 a が硬化した後、金型 3 4 を剝す。このような方法によっても基板 2 9 a 上に溝 3 2 を形成することができる。

(実施例 6)

次に本発明の配線の形成方法の第 4 の実施例を、第 7 図を参照しながら説明する。

同図(a)~(d)は工程順に示したものであり、第 3 図と同じ構成要素には同じ番号を付している。

(a) 先ず、ガラス基板 2 9 に配線材料 3 1 をスパッタリング法等により一面に成膜する。

(b) 次にフォトレジスト等のマスクを用いて、配線パターン以外の配線材料は除去する。

(c) 配線パターン 3 1 上及びガラス基板 2 9 上に透明絶縁性材料 3 6 を成膜する。

(d) 成膜した膜 3 6 を配線パターン 3 1 の表面が露出するまで研磨する。

以上の工程によって、透明絶縁性材料 3 6 の間に配線 3 1 を埋め込むことができ、先の実施例で



述べたガラス基板に溝を形成する場合と同様の効果が得られる。

以上述べたように、カバレッジを悪くすることなく配線を厚くすることができるので、抵抗値の極めて小さな配線を得ることができ、伝達信号の純りや遅れの問題ない、大画面ディスプレイおよび高精細度ディスプレイを実現できる。

さらに本発明を用いることにより、TFT素子あるいはMIM素子を用いた画質のよい大画面の液晶ディスプレイを得ることができる。

なお、実施例において、配線材料の成膜方法はスパッタリング法に限るものではなく、蒸着法やCVD法等でもよい。さらに、ガラス基板に形成した溝が深い場合は、金属元素を含む液体のスピンコーティングと焼成による方法が効果的である。

また、上記の実施例において、透明基板としてガラス基板を用いたが、特にこれに限るわけではなく、プラスチック等の絶縁性を有する透明材料であってもよい。

発明の効果

本発明の平面ディスプレイ用配線およびその形成方法では、配線を基板中に埋め込むあるいは配線を基板表面に設けた絶縁性透明材料の間に挟み込むことにより、カバレッジを悪くすることなく配線を厚くすることができるので、抵抗値の極めて小さな配線を得ることができ、伝達する信号の純りや遅れの問題がない大画面ディスプレイおよび高精細度ディスプレイを実現でき、さらには液晶ディスプレイ用非線形抵抗素子に応用することができる。

#### 4. 図面の簡単な説明

第1図は本発明の平面ディスプレイにおける第1の実施例を示す断面図、第2図は同第2の実施例を示す断面図、第3図は本発明の平面ディスプレイ用配線の形成方法における第1の実施例の工程図、第4図は同形成方法における膜厚と基板の関係を示す図、第5図は同形成方法における第2の実施例の工程図、第6図Aは同形成方法における第3の実施例の工程図、第6図B、Cは基板への溝の形成方法を示す工程図、第7図は同形成方

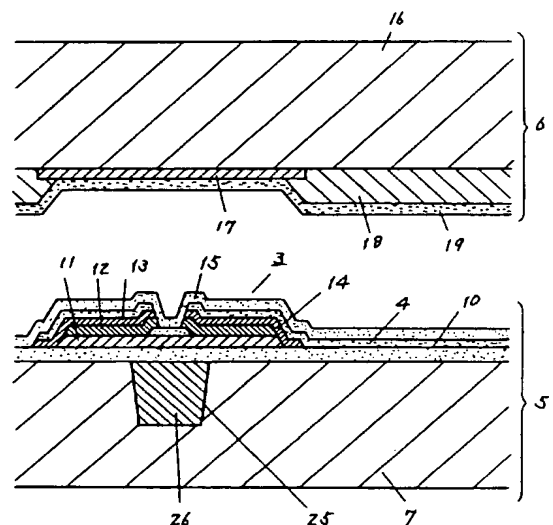
法における第4の実施例の工程図、第8図は液晶ディスプレイのTFT素子アレーの回路図、第9図は従来のTFT素子部の断面図、第10図(a)、(b)はそれぞれ配線の抵抗による信号の出力波形図および配線抵抗と遅れの関係を示す特性図、第11図は従来のMIM素子部の断面図である。

3・・・TFT素子、4・・・画素電極、5・・・アレー基板、6・・・カラーフィルター基板、7、29・・・ガラス基板、10・・・ゲート絶縁膜、11・・・アモルファスシリコン膜、12・・・n型アモルファスシリコン膜、13・・・ソース配線、14・・・ドレイン配線、15・・・保護膜、16・・・ガラス基板、17・・・ブラックマトリックス、18・・・カラーフィルター膜、19・・・対向電極、21、22、24・・・絶縁膜、25、27、32・・・溝、26、28、31・・・配線、30・・・フォトレジスト、33・・・スタンプ、34・・・金型、36・・・透明絶縁材料。

代理人の氏名 弁理士 小鍛治 明 ほか2名

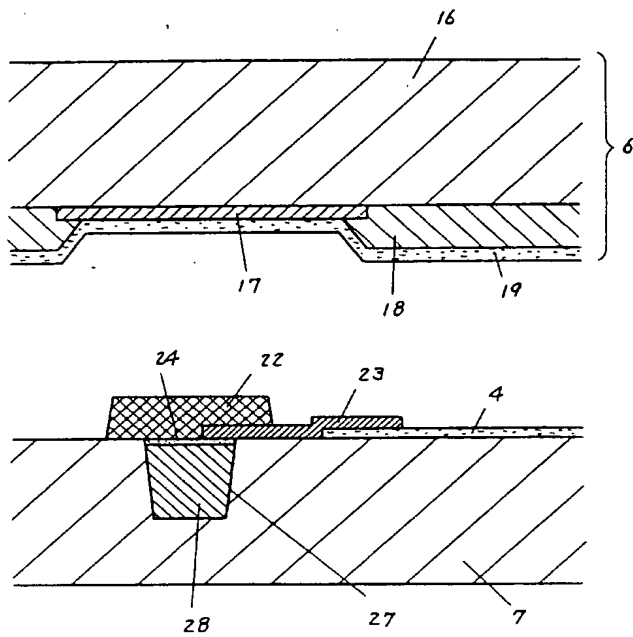
3・・・TFT素子  
4・・・画素電極  
5・・・アレー基板  
6・・・カラーフィルター基板  
7、16・・・ガラス基板  
10・・・ゲート絶縁膜  
11・・・アモルファスシリコン膜  
12・・・n型アモルファスシリコン膜  
13・・・ソース配線  
14・・・ドレイン配線  
15・・・保護膜  
17・・・ブラックマトリックス  
18・・・カラーフィルター膜  
19・・・対向電極  
25・・・溝  
26・・・配線

第1図



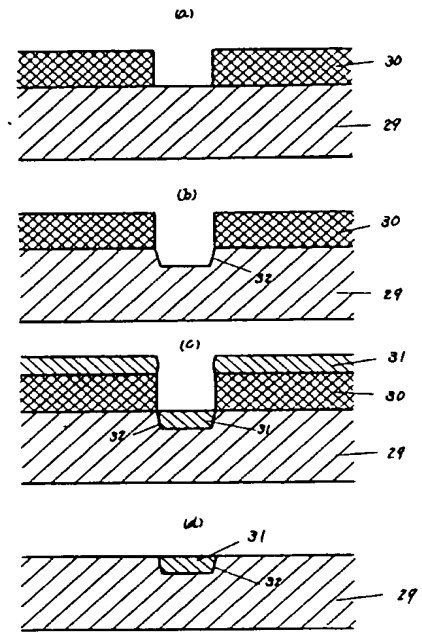
第 2 図

22, 24 ... 絶縁膜  
23, 28 ... 配線  
27 ... 溝

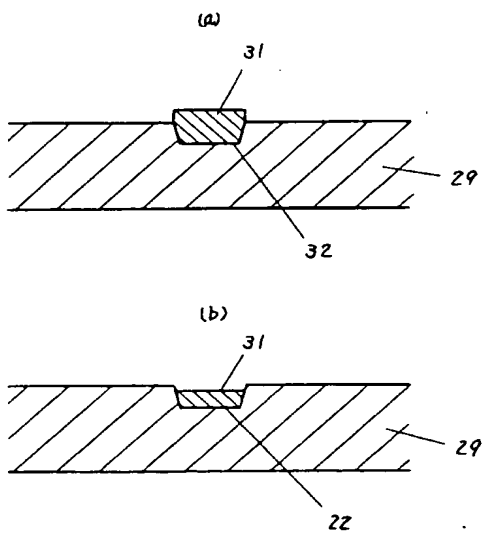


第 3 図

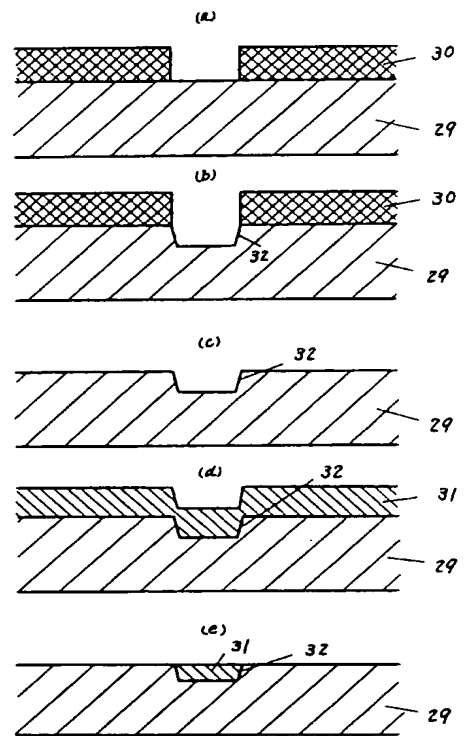
29 ... ガラス基板  
30 ... フォトリソ  
31 ... 絶縁  
32 ... 溝



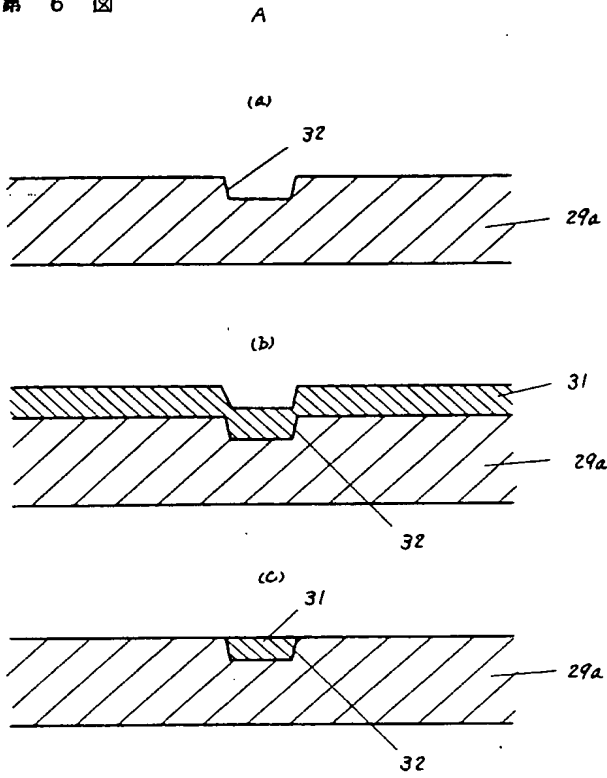
第 4 図



第 5 図

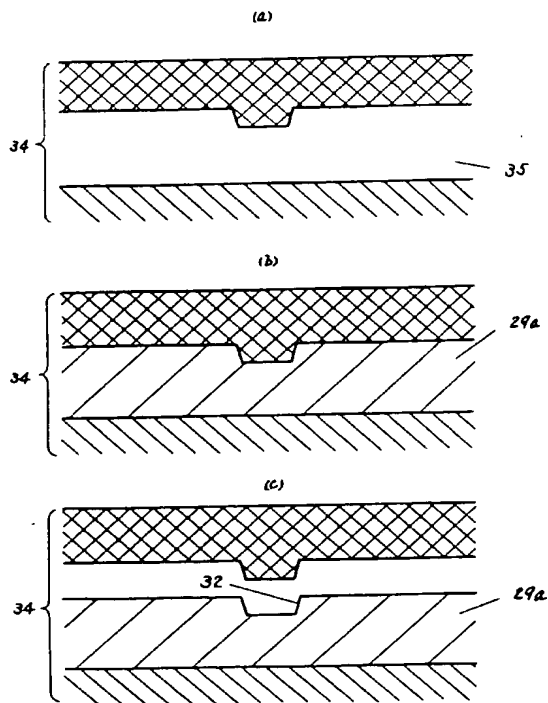


第 6 図



第 6 図

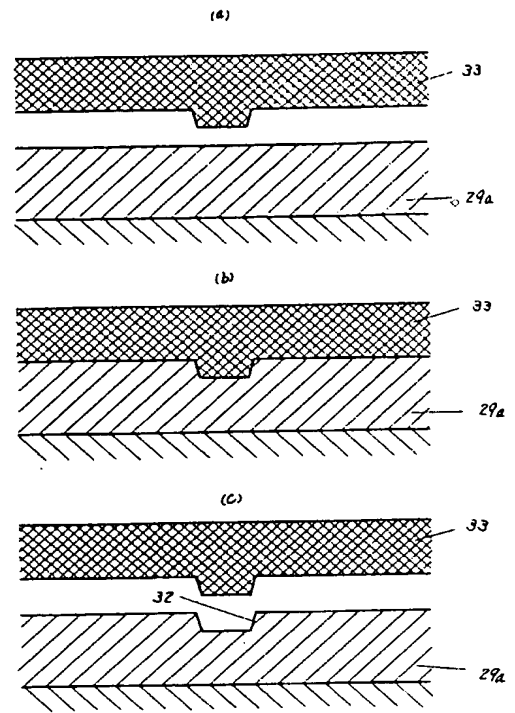
C 34 ... 金型 35 ... 空間



第 6 図

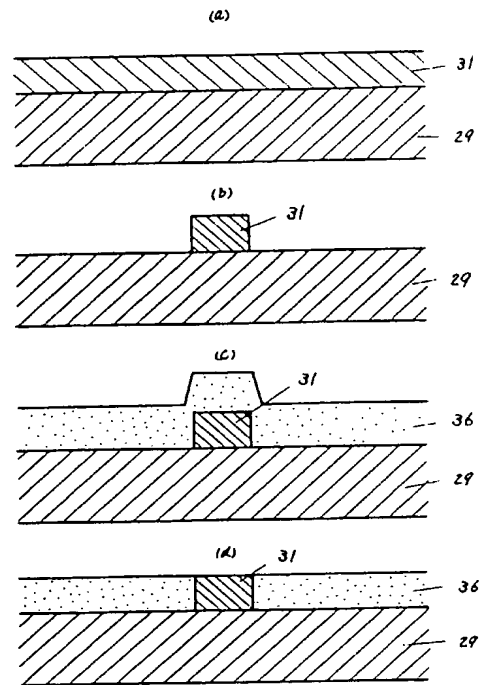
B

33 ... ステンパー



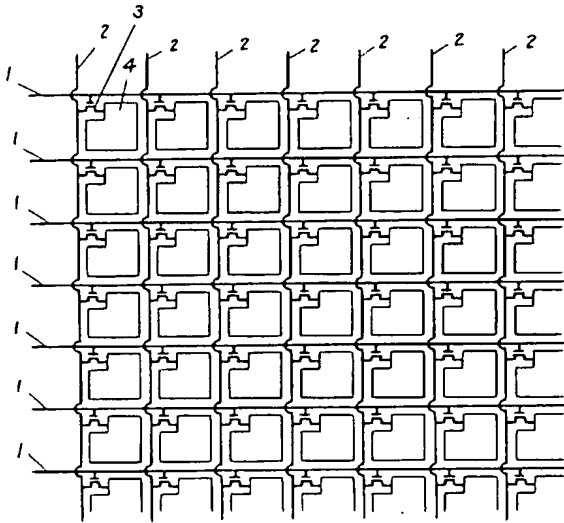
第 7 図

36 ... 透明絶縁材料

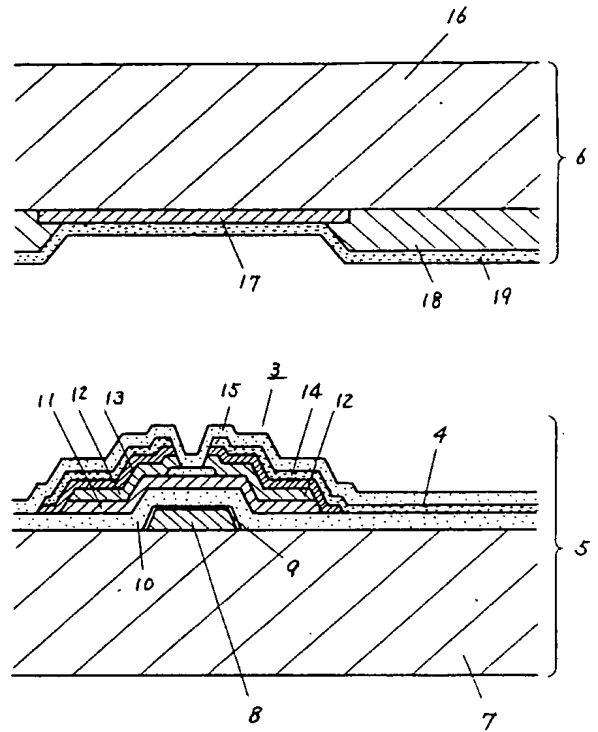


第 8 図

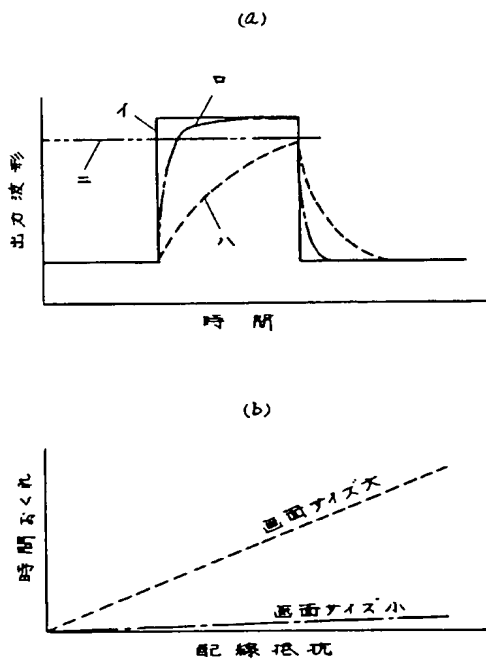
- 1 ... 走査線の配線
- 2 ... 信号配線
- 3 ... T F T 素子
- 4 ... 画素電極



第 9 図



第 10 図



第 11 図

